

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) Japanese Patent Office (JP)

(11) Application publication number:
S63[1988]-292,488

(12) Official Gazette for
Unexamined Patents (A)

(43) Application publication date :
November 29, 1988

(51) Int. Cl.⁴ Identification Nos.
G 11 C 11/34 354
H 01 L 27/01 481

Patent Office File Nos.
B-8522-5B
8624-5F

Number of Inventions: 1
Request for
Examination: Not filed
(Total 9 Japanese pages)

(54) Title of the Invention
Decoder Circuit for Semiconductor Memory

(71) Applicant: Mitsubishi Electric
Corporation
2-3, Marunouchi 2-chome
Chiyoda-ku, Tokyo
(74) Agent: Masuo Ooiwa, Patent Attorney
and two others

(21) Application number: S62[1987]-127,822
(22) Filing date: May 25, 1987
(72) Inventor: Hiroshi Miyamoto
Mitsubishi Electric
Corporation
LSI Research and
Development Center
1, Mizuhara 4-chome
Itami-shi, Hyogo
Prefecture

Specification

1. Title of the Invention

Decoder Circuit for Semiconductor Memory

2. Claims

(1) A decoder circuit for semiconductor memory is comprised of a first FET group that is connected in cascade to a first node and inputs an address signal or a pre-decoded address signal at each gate; a second FET group that connects in parallel either the source or the drain in common to the first node and inputs an address signal or a pre-decoded signal that differs from the above-mentioned address signal or pre-decoded signal at each gate; a first pre-charging means for pre-charging the first node; and a second pre-charging means for pre-charging each node connected to the other side of each FET of the second FET group.

(2) A decoder circuit for semiconductor memory according to claim 1, wherein the first pre-charging means is comprised of FETs having different conductivity than the FETs comprising the first FET group.

(3) A decoder circuit for semiconductor memory according to claim 2, wherein the second pre-charging means is comprised of FETs having the same conductivity as the FETs comprising the first pre-charging means.

(4) A decoder circuit for semiconductor memory according to any one of claims 2 and 3, wherein the same signal is input to the gates of the FETs comprising the first pre-charging means and the FETs comprising the second pre-charging means.

(5) A decoder circuit for semiconductor memory according to any one of claims 1 to 4, wherein the other side of the first FET group is grounded.

(6) A decoder circuit for semiconductor memory according to any one of claims 1 to 5, wherein the address signal and the pre-decoded address signal are voltages that turn off the FETs comprising the second FET group during the non-operating period of a semiconductor memory.

(7) A decoder circuit for semiconductor memory according to any one of claims 1 to 6, wherein the other source or drain of the FETs comprising the second FET group is connected to an input terminal of an inverter.

3. Detailed Description of the Invention

Field of Industrial Application

The present invention relates to a decoder circuit for semiconductor memory comprised of MOS transistors and, more particularly, to a decoder circuit that multiplexes the address lines.

Prior Art

A decoder circuit is required in a semiconductor memory such as MOS DRAM that is comprised of complementary metal oxide semiconductor field effect transistors (CMOSFETs). Figure 5 illustrates a proposal for this type of decoder circuit. This is a previous invention of the inventors of this application. The figure shows the configuration of the DRAM row decoder circuit. Figure 5 shows a decoder circuit that selects one memory cell from 64 ($2^6 = 64$) memory cells by using a 6-bit address signal

of A_2 (\bar{A}_2) and A_3 (\bar{A}_3) to A_7 (\bar{A}_7). FETs Q_2 to Q_6 have the above-mentioned address signals input to the gates thereof. Similarly, FETs Q_{18} and Q_{28} have address signals A_2 , \bar{A}_2 input to the gates thereof. Normally, the signal line of any one of address signals A_1 and \bar{A}_1 , where \bar{A}_1 is the inverted signal of A_1 , is connected to the gates of the FETs. The figure shows the signal lines of address signals A_3 , A_4 , A_5 , A_6 , and A_7 connected to the gates of FETs Q_2 , Q_3 , Q_4 , Q_5 , and Q_6 , respectively, and the signal lines of address signals A_2 , \bar{A}_2 connected to the FETs Q_{18} and Q_{28} , respectively. Q_7 is a P-channel FET that has a control signal ϕ_1 input to the gate thereof. The drains of FETs Q_2 and Q_7 are connected together at node N_{12} . Furthermore, the sources of FETs Q_{18} and Q_{28} are connected together at node N_{12} . The drains of FETs Q_{18} and Q_{28} are connected to the output nodes N_{10} and N_{20} of the decoder circuit. Inverter I_1 is comprised of a P-channel FET Q_{19} and an N-channel FET Q_{110} . The input terminal thereof is connect to output node N_{10} , and the output terminal is connected to node N_{11} . Inverter I_2 is comprised of a P-channel FET Q_{29} and an N-channel FET Q_{210} . The input terminal thereof is connected to output node N_{20} of the decoder circuit, and the output terminal is connected to node N_{21} . Output terminals N_{11} and N_{21} of inverters I_1 and I_2 are connected to word line driver circuits WD_1 and WD_2 . Inverters I_1 and I_2 are provided with P-channel FETs Q_{111} and Q_{211} that pull up the input terminals of the inverters, respectively.

Figure 2 shows the configurations of word line driver circuits WD_1 , WD_2 . The word line drive signals x_0 to x_3 that are pre-decoded as shown in the figure are the AND signals of the pre-decoded address signals A_0 , \bar{A}_0 , A_1 , \bar{A}_1 from the pre-decoder in Figure 3 and the word line drive signal ϕ_x . The output sides of the inverters I_1 , I_2 in Figure 5 are connected to the gates of FETs Q_{J140} - Q_{J143} through FETs Q_{J130} - Q_{J133} that have the

signal line of control signal ϕ_2 through connected to the gates thereof. The signal lines of the pre-decoded word line drive signals x_0 to x_3 are connected to the word lines WL_{J0} - WL_{J3} through the above-mentioned FETs Q_{J140} - Q_{J143} .

Next, the operation of the decoder circuit in Figure 5 and the word line driver circuit in Figure 2 are explained while referring to the waveform diagram in Figure 6. Before time t_0 , an external \overline{RAS} signal (Ext. RAS) is in the high level, and the DRAM enters the inactive state. Since the address signals $A_0, \overline{A_0}, \dots, A_7, \overline{A_7}$ have the low level and the control signal ϕ_1 also has the low level, node N_{12} is pre-charged to the high level through FET Q_7 . It is assumed here that nodes N_{10} and N_{20} are pre-charged to the high level. (In other words, pre-charging is normally performed.) Consequently, the output node N_{11} of inverter I_1 and N_{12} become low. When the Ext. \overline{RAS} signal becomes low at time t_0 , the DRAM enters the active state. Next, at time t_1 , the control signal ϕ_1 becomes high and the pre-charging of node N_{12} is stopped. By setting $A_0, A_1, A_2, A_3, A_4, A_5, A_6$, and A_7 of the address signals at time t_2 that should be selected by this decoder to the high level, FETs Q_2 - Q_6 turn on, and node N_{12} discharges and becomes low. Since address signal A_2 has the high level, node N_{10} also becomes low. Thus, node N_{11} becomes high. Nodes N_{20} and N_{21} are maintained at the high level and the low level, respectively. When the word line drive signal ϕ_x becomes high at time t_3 , the pre-decoded word line drive signal x_0 becomes high and word line WL_{10} becomes high through FET Q_{J140} .

Next, when the Ext. \overline{RAS} signal at time t_5 becomes high, the DRAM enters the inactive state. Then at time t_6 , word line drive signal ϕ_x and word line WL_{10} become low. At time t_8 , address signals A_0, A_1, A_2, A_3 - A_7 become low. Simultaneously, the control signal ϕ_2 becomes low.

When the DRAM enters the inactive state, the control signal ϕ_1 for pre-charging the decoder circuit becomes low. First, control signal ϕ_1 as indicated by the solid line is considered to become the usual level at time t_9 . At time t_9 , FETs Q_2 to Q_6 , Q_{18} , and Q_{28} are already off. When the control signal ϕ_1 becomes low, FET Q_7 turns on, and node N_{12} is pre-charged to the high level. Since FET Q_{18} is off, node N_{10} is held at the low level. Consequently, node N_{11} is held at the high level. Therefore, even when the Ext. \overline{RAS} external signal becomes low in the next cycle and the DRAM enters the active state, because one of the signal lines of the pre-decoded word line drive signals $x_0 - x_3$ becomes high, one of the word lines $WL_{10} - WL_{13}$ becomes high and the DRAM operates incorrectly even when the decoder of the signal line is not selected in the next cycle.

Next, the case where the control signal ϕ_1 becomes low at time t_7 as indicated by the dashed line in Figure 6 is considered. When control signal ϕ_1 becomes low at time t_7 , FET Q_7 turns on, and node N_{12} starts pre-charging. However, at time t_7 , since the address signals are still at the high level, FETs $Q_2 - Q_6$ are on. The sizes of FETs $Q_2 - Q_6$ are smaller than FET Q_7 . When the threshold of the inverter comprised of FETs Q_7 and $Q_2 - Q_6$ is not set high, the voltage of node N_{12} hardly increases at all. When the address signals $A_0, A_1, A_2, A_3 - A_7$ become low at time t_8 , node N_{12} is pre-charged to the high level through FET Q_7 . Node N_{10} starts to pre-charge towards the high level. However, since FET Q_{18} turns off, the pre-charging is inadequate. Consequently, the voltage of node N_{11} enters an indeterminate state (state in which the high level or the low level is not definite). Similar to the case described above, the DRAM operates incorrectly.

Although the explanation is omitted, the control signal ϕ_1 becomes low at time t_8 and operates in the same way as the case where the control signal becomes low at time t_7 .

as described above and the DRAM operates incorrectly.

Figure 7 is a schematic of another configuration of the decoder circuit for semiconductor memory disclosed in Unexamined Japanese Patent Application No. S61-120393. The configuration of the decoder circuit is nearly identical to the configuration of the decoder circuit in Figure 5. However, a difference is means for pre-charging node N_{12} in the circuit in Figure 7 is not provided in contrast to FET Q_7 provided as means for pre-charging node N_{12} in the circuit in Figure 5. But FETs Q_{112} and Q_{212} are provided as the pre-charging means for nodes N_{10} and N_{20} in the circuit in Figure 7.

Next, the operation of the decoder circuit in Figure 7 is explained while referring to the waveform diagram in Figure 8. The operation from time t_0 to t_4 is the same as the operation shown in Figure 6. When the Ext. \overline{RAS} signal at time t_5 becomes high, the DRAM enters the inactive state. Then at t_6 , the word line drive signal ϕ_x and word line WL_{10} become low. Next, at time t_8 , address signals $A_0, A_1, A_2, A_3 - A_7$ become low, and FETs Q_{18} and $Q_2 - Q_6$ turn off. Simultaneously, control signal ϕ_2 becomes low.

When DRAM enters the inactive state, the control signal ϕ_1 that pre-charges the decoder circuit becomes low. First, the case where the control signal ϕ_1 becomes low at time t_9 as indicated by the solid line is considered. At time t_9 , since FETs Q_{18} and $Q_2 - Q_6$ are already off, when control signal ϕ_1 at this time becomes low, node N_{10} is pre-charged to the high level through FET Q_{112} . Thus, node N_{11} becomes low. Since FET Q_{18} is off, node N_{12} remains at the low level. Nodes N_{12} and N_{10} have floating capacitors C_{12} and C_{10} connected to the ground voltage. Since node N_{10} is pre-charged to the high level, capacitor C_{10} is fully charged. Since node N_{12} remains at the low level, capacitor C_{12} is not fully charged. Therefore, when the Ext. RAS external signal becomes low again in

the next cycle and this decoder is not selected, in other words, at least one of the signal lines of address signals $A_3 - A_7$ is low, and when address signal A_2 becomes high, the charge accumulated in the floating capacitor C_{10} is distributed to the floating capacitors C_{10} and C_{12} . Node N_{12} is a node that connects FET Q_2 and FETs Q_{18} and Q_{28} . Consequently, floating capacitor C_{12} becomes nearly identical to floating capacitor C_{10} because the wire lengths in the layout increase. When the charge is distributed, the voltage at node N_{10} decreases, and the voltage at node N_{11} increases. The voltage of any of word lines $WL_{10} - WL_{13}$ increases although the decoder is not selected, and the DRAM operates incorrectly.

Next, when the control signal ϕ_1 becomes low at time t_7 , the pre-charging of nodes N_{10} and N_{12} through FET Q_{112} starts. Since FETs Q_{18} and $Q_2 - Q_6$ are on, as in the previous example, the voltages of nodes N_{10} and N_{12} hardly increase at all. Therefore, after FETs Q_{18} and $Q_2 - Q_6$ turn off at time t_8 , node N_{10} is pre-charged to the high level through FET Q_{112} , but the voltage of node N_{12} does not increase. Consequently, as in the case described above, the DRAM operates incorrectly.

Problems to Be Solved by the Invention

- Since a conventional decoder circuit for semiconductor memory has the configuration described above, a node that should be pre-charged in the circuit may not be sufficiently pre-charged. Therefore, although the decoder is not selected, the problems become an increase in the word line voltage and incorrect operation of the DRAM.

The present invention eliminates this problem and has the objects of reliably pre-charging a node that should be pre-charged in the circuit and obtaining a decoder circuit

for semiconductor memory having reliable operation.

Means to Solve the Problems

The decoder circuit for semiconductor memory of the present invention is comprised of a first FET group that is connected in cascade to a first node and inputs an address signal or a pre-decoded address signal to each gate; a second FET group that connects in parallel either the source or the drain in common to the first node and inputs an address signal or a pre-decoded signal that differs from the above-mentioned address signal and pre-decoded signal to each gate; a first pre-charging means for pre-charging the first node; and a second pre-charging means for pre-charging each node connected to the other side of each FET of the second FET group.

Operation

The decoder circuit for semiconductor memory of the present invention is comprised of means for pre-charging a first node on the drain side of the first FET group connected in cascade, and means for pre-charging the other nodes of the FETs in the second FET group that are connected in parallel to the first node. An inadequate pre-charging voltage for each node is prevented, and normal operation of the circuit is guaranteed.

Embodiments

An embodiment of the present invention is described below with reference to the drawings. Figure 1 shows the configuration of the decoder circuit for semiconductor

memory according to the present invention. The decoder circuit that is shown selects one out of 64 ($2^6 = 64$) by using the 6-bit address signal of address signals A_2 (\bar{A}_2) and A_3 (\bar{A}_3) to A_7 (\bar{A}_7). In the figure, $Q_2 - Q_6$ are FETs that input that above address signals or pre-decoded address signals, are connected in cascade between the first node N_{12} and the ground terminal, and comprise the first FET group F_1 . Similarly, FETs Q_{18} and Q_{28} input an address signal A_2 or \bar{A}_2 that differs from the above-mentioned address signals or pre-decoded signals to the gates thereof, and the sources are connected in parallel to the first node N_{12} to comprise the second FET group F_2 . Usually, any one of the signal lines of address signals A_j and \bar{A}_j (where \bar{A}_j is the inverted signal of A_j) is connected to the gate of each FET described above. This figure shows an example where the signal lines of address signals A_3, A_4, A_5, A_6, A_7 are connected to the gates of FETs Q_2, Q_3, Q_4, Q_5, Q_6 , respectively, and the signal lines of signal A_2 and \bar{A}_2 are connected to FETs Q_{18} and Q_{28} , respectively. Q_7 is a P-channel FET having a different conductivity than each above-mentioned FET where the signal line of the control signal ϕ_1 is connected to the gate thereof and is provided as the first pre-charging means for pre-charging the first node N_{12} . The drains of FETs Q_2 and Q_7 are connected together to node N_{12} . The sources of FETs Q_{18} and Q_{28} are connected together to node N_{12} . The drains of FETs Q_{18} and Q_{28} are connected to the output nodes N_{10} and N_{20} . FETs Q_{112} and Q_{212} having the same conductivity of FET Q_7 , which is the first pre-charging means, are provided as the second pre-charging means for pre-charging nodes N_{10}, N_{20} . A P-channel FET Q_{19} and an N-channel FET Q_{110} comprise inverter I_1 . The input terminal thereof is connected to the output node N_{10} , and the output terminal is connected to node N_{11} . Similarly, a P-channel FET Q_{29} and an N-channel FET Q_{210} comprise inverter I_2 , the input terminal thereof is

connected to output node 20, and the output terminal is connected to node N_{21} . The output terminals N_{11} , N_{21} of these inverters I_1 and I_2 are connected to the word line driver circuits WD_1 and WD_2 , respectively. Node N_{11} and node N_{21} are connected to the gates of FETs Q_{111} and Q_{211} that pull up the input terminals of inverters I_1 and I_2 , respectively. Then as described above, nodes N_{10} and N_{20} are provided with the pre-charging FETs Q_{112} and Q_{212} whose gates are connected to the signal line of control signal ϕ_1 .

The above-mentioned word line driver circuits WD_1 , WD_2 are configured as shown in Figure 2 similar to the conventional case. In other words, the pre-decoded word line drive signals x_0 to x_3 in the figure are the AND signals of the pre-decoded signals of address signals A_0 , A_0 , A_1 , A_1 from the pre-decoder shown in Figure 3 and the word line drive signal ϕ_x . The output sides of inverters I_1 , I_2 in Figure 1 pass through FETs Q_{J130} - Q_{J133} whose gates are connected to the signal line of control signal ϕ_2 and connect to the gates of FETs Q_{J140} - Q_{J143} . The pre-decoded word line drive signals x_0 - x_3 are connected to words WL_{J0} - WL_{J3} through FETs Q_{J140} - Q_{J143} described above.

Next, the operation of the decoder circuit having the configuration described above is explained while referring to the waveform diagram in Figure 4. Before time t_0 , the external signal \overline{RAS} (Ext. \overline{RAS}) is high, and the inactive state is entered. At this time, address signals A_0 , $\overline{A_0}$, ..., A_7 , $\overline{A_7}$ are low. The control signal ϕ_1 is also low. Node N_{12} is pre-charged to the high level through FET Q_7 . Node N_{10} and node N_{20} are pre-charged to the high level through FETs Q_{112} and Q_{212} . Thus, the output nodes N_{11} and N_{21} of inverters I_1 , I_2 become low. At time t_0 , the external signal Ext. \overline{RAS} becomes low and the DRAM enters the active state. Next, at time t_1 , control signal ϕ_1 becomes high, and the pre-charging of nodes N_{12} , N_{10} , and N_{20} is stopped. At time t_2 , the signals A_0 , A_1 ,

A_2 , and $A_3 - A_7$ that should select this decoder of the address signals become high and turn on FETs $Q_2 - Q_6$, and node N_{12} is discharged to the low level. Since address signal A_2 is high, node N_{10} also discharges to the low level. Thus, node N_{11} becomes high. And nodes N_{20} and N_{21} are held high and low, respectively. When the word line drive signal ϕ_x becomes high at time t_3 , the pre-decoded word line drive signal x_0 becomes high and word WL_{10} becomes high through FET Q_{1140} . When the Ext. \overline{RAS} becomes high at time t_5 , the DRAM enters the inactive state. At time t_6 , word line drive signal ϕ_x and word line WL_{10} become low. At time t_8 , address signals $A_0, A_1, A_2, A_3 - A_7$ become low.

Simultaneously, control signal ϕ_2 becomes low.

When the DRAM enters the inactive state, control signal ϕ_1 becomes low to pre-charge the decoder circuit. First, the case where control signal ϕ_1 becomes low at time t_9 as indicated by the solid line is considered. At time t_9 , FETs $Q_2 - Q_6, Q_{18}$, and Q_{28} are already off. When control signal ϕ_1 becomes low, FET Q_7 turns on and node N_{12} is pre-charged to the high level. FET Q_{18} is off, but node N_{10} is pre-charged to the high level through FET Q_{112} and node N_{11} is discharged to the low level through the inverter I_1 . In the next cycle, the DRAM enters the active state. Even if this decoder is not selected, the DRAM operates properly.

When control signal ϕ_1 becomes low at time t_7 as indicated by the dashed line in Figure 4, after FETs Q_{18} and $Q_2 - Q_6$ turn off at time t_8 , nodes N_{10} and N_{12} are pre-charged to the high level through FETs Q_{112} and Q_7 , and the DRAM operates properly.

The embodiment described above explained the case where the first FET group F_1 connected in cascade is comprised of N-channel FETs, the parallel connected second FET-group F_2 is comprised of N-channel FETs, and the pre-charging FET is comprised of

a P-channel FET. By appropriately selecting the voltage (VCC) to be applied, they may also be comprised of FETs having other conductivities.

In addition, the above-mentioned embodiment described the case where the decoder circuit is a row decoder. However, the same effect is obtained for a column decoder. Furthermore, a similar effect is obtained not only when used in the DRAM of the decoder circuit, but when used in another semiconductor memory.

Effects of the Invention

As described above, according to the present invention, a node on the drain side of a first FET group connected in cascade in a decoder circuit, a second FET group connected in parallel to the node, and pre-charging means for both the node and a node on the opposite side are provided, and the nodes are reliably pre-charged. The effect is the reliable operation of the decoder circuit.

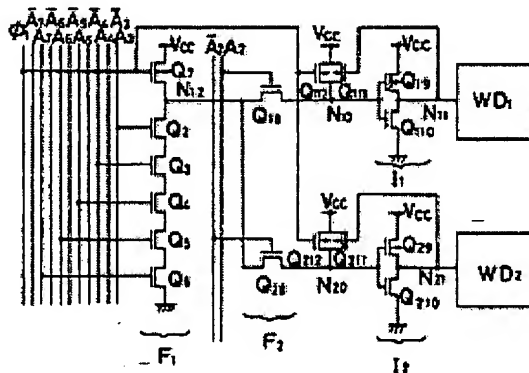
4. Brief Description of the Drawings

Figure 1 is a schematic of a decoder circuit for semiconductor memory according to one embodiment of the present invention. Figure 2 is a schematic of the word line driver circuit. Figure 3 shows the circuit for generating the pre-decoded word line drive signal. Figure 4 is a waveform diagram showing the operation of one embodiment. Figure 5 is a schematic showing a conventional decoder circuit for semiconductor memory. Figure 6 is a waveform diagram of the operation of Figure 5. Figure 7 is a schematic showing another conventional example. Figure 8 is a waveform diagram of the operation of Figure 7.

I_1, I_2 inverters

Agent: Masuo Ooiwa

Figure 1



I_1, I_2 : inverters

Figure 2

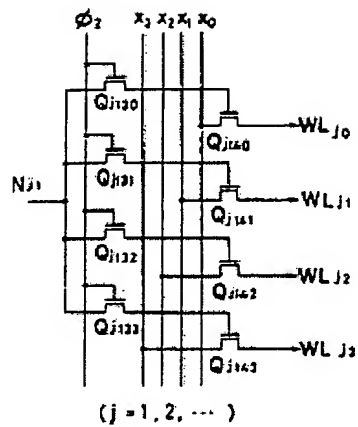


Figure 3

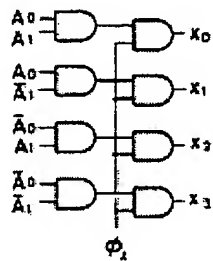


Figure 4

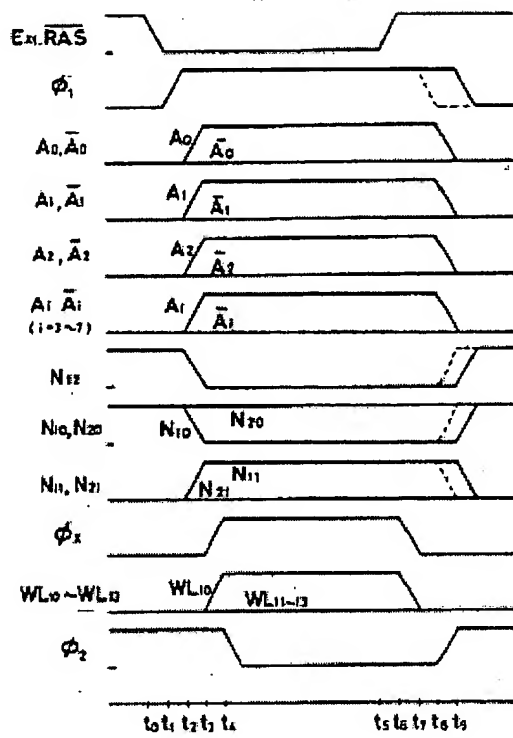


Figure 5

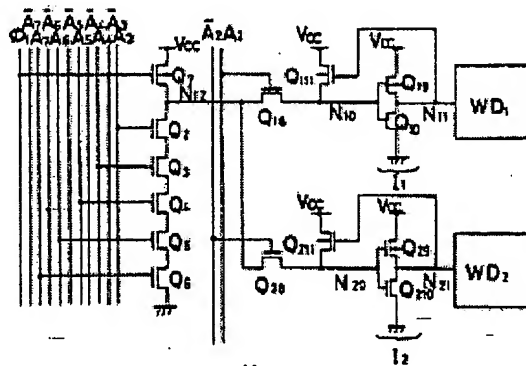


Figure 6

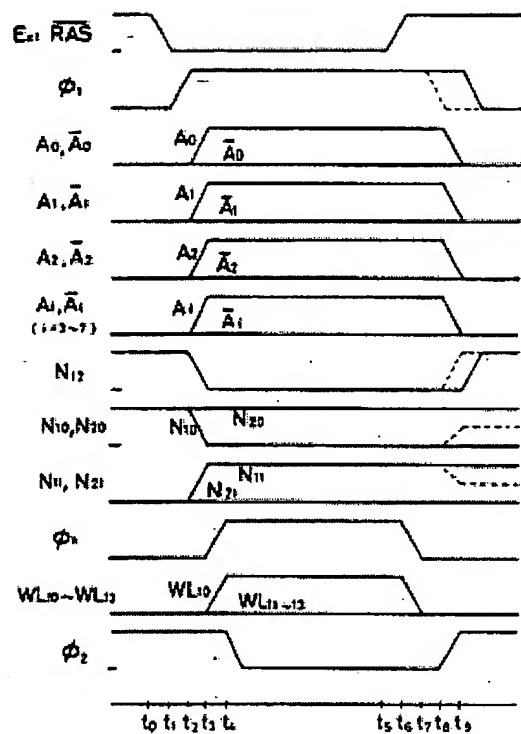


Figure 7

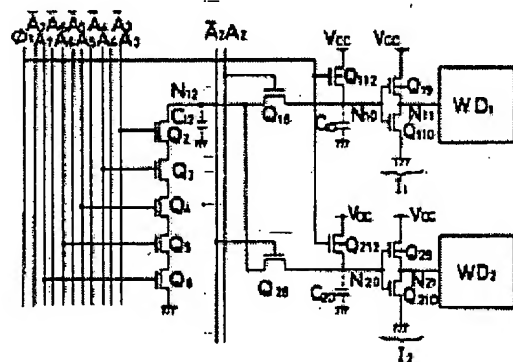
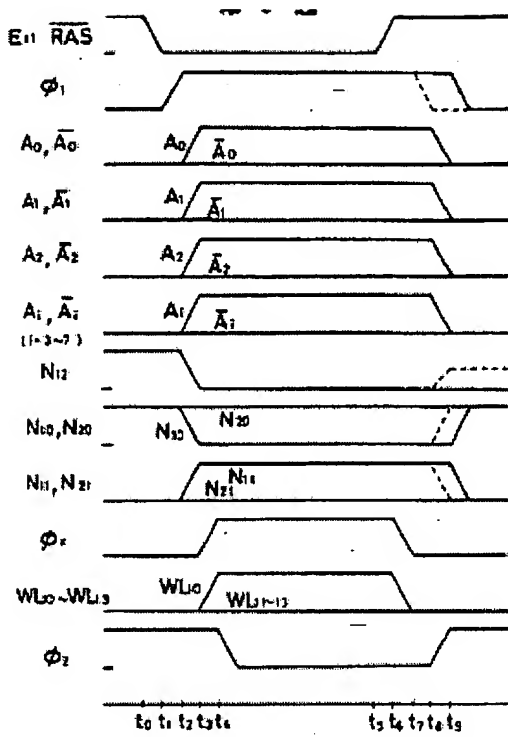


Figure 8



Procedural Amendments (Voluntary)

February 10, 1988

To: Commissioner of the Japanese Patent Office

1. Case identifier: Unexamined Japanese Patent Application No. S62-127822

2. Title of the invention: Decoder Circuit for Semiconductor Memory

3. Party filing the amendment

Relationship to the case: Patent applicant

Name: Mitsubishi Electric Corporation (601)

Representative: Moriya Shiki

Address: 2-3, Marunouchi 2-chome

Chiyoda-ku, Tokyo

4. Agent

Name: Masuo Ooiwa, Patent Attorney (7375)

(Contact at Patent Department: 03 (213) 3421)

Address: Mitsubishi Electric Corporation

2-3, Marunouchi 2-chome

Chiyoda-ku, Tokyo

5. Object of the amendments

Claims in the Specification and Detailed Description of the Invention

6. Contents of the amendment

- (1) Correct the Claims according to the attached sheet.
- (2) Delete "more particularly, to a decoder circuit that multiplexes the address lines" in lines 11 and 12 on page 3.
- (3) Change "3 address signal" in line 4 on page 4 to "address signal".
- (4) Change "usual level" in line 11 on page 8 to "low level".
- (5) Change "Ext. RAS external signal" to "Ext. \overline{RAS} external signal" in line 7 on page 12.

7. List of attached documents

- (1) Document recording the claims after the corrections.

1 copy

End

Claims

(1) A decoder circuit for semiconductor memory is comprised of a first FET group that is connected in cascade to a first node and inputs an address signal or a pre-decoded address signal at each gate; a second FET group that connects in parallel either the source or the drain in common to the first node and inputs an address signal or a pre-decoded signal that differs from the above-mentioned address signal or pre-decoded signal at each gate; a first pre-charging means for pre-charging the first node; and a

second pre-charging means for pre-charging each node connected to the other side of each FET of the second FET group.

(2) A decoder circuit for semiconductor memory according to claim 1, wherein the first pre-charging means is comprised of FETs having different conductivity than the FETs comprising the first FET group.

(3) A decoder circuit for semiconductor memory according to claim 2, wherein the second pre-charging means is comprised of FETs having the same conductivity as the FETs comprising the first pre-charging means.

(4) A decoder circuit for semiconductor memory according to any one of claims 2 and 3, wherein the same signal is input to the gates of the FETs comprising the first pre-charging means and the FETs comprising the second pre-charging means.

(5) A decoder circuit for semiconductor memory according to any one of claims 1 to 4, wherein the other side of the first FET group is grounded.

(6) A decoder circuit for semiconductor memory according to any one of claims 1 to 5, wherein an address signal and a pre-decoded address signal are voltages that turn off the FETs comprising the second FET group during the non-operating period of a semiconductor memory.

(7) A decoder circuit for semiconductor memory according to any one of claims 1 to 6, wherein the other source or drain of the FETs comprising the second FET group is connected to an input terminal of an inverter.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-292488

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月29日

G 11 C 11/34
H 01 L 27/10

3 5 4
4 8 1

B-8522-5B
8624-5F

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 半導体メモリのデコード回路

⑯ 特 願 昭62-127822

⑰ 出 願 昭62(1987)5月25日

⑱ 発 明 者 宮 本 博 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体メモリのデコード回路

2. 特許請求の範囲

(1) 第1のノードに縦続接続され各々のゲートにアドレス信号またはアドレス信号をブリデコードした信号が入力される第1のFET群と、ソースまたはドレインの何れか一方を共通に前記第1のノードに並列的に接続され各々のゲートに前記アドレス信号またはブリデコードした信号とは異なるアドレス信号またはブリデコードした信号が入力される第2のFET群とを備え、前記第1のノードをブリチャージする第1のブリチャージ手段および前記第2のFET群の各FETの他方が接続されたそれぞれのノードをブリチャージする第2のブリチャージ手段を設けたことを特徴とする半導体メモリのデコード回路。

(2) 前記第1のブリチャージ手段は、前記第1のFET群を構成する各FETと異なる導電型のFETにより構成したことを特徴とする特許請

求の範囲第1項記載の半導体メモリのデコード回路。

(3) 前記第2のブリチャージ手段は、前記第1のブリチャージ手段を構成するFETと同じ導電型のFETにより構成したことを特徴とする特許請求の範囲第2項記載の半導体メモリのデコード回路。

(4) 前記第1のブリチャージ手段を構成する各FETと、前記第2のブリチャージ手段を構成する各FETのゲートには、同一の信号が入力されることを特徴とする特許請求の範囲第2項または第3項記載の半導体メモリのデコード回路。

(5) 前記第1のFET群は他方側が接地されていることを特徴とする特許請求の範囲第1項ないし第4項何れか記載の半導体メモリのデコード回路。

(6) 前記アドレス信号およびアドレス信号をブリデコードした信号は、半導体メモリの非動作期間においては前記第2のFET群を構成する各FETをオフさせる電位にあることを特徴とする

特許請求の範囲第1項ないし第5項何れか記載の半導体メモリのデコーダ回路。

(7) 前記第2のFET群を構成する各FETのソースまたはドレインの他方は、インバータの入力端子に接続されていることを特徴とする特許請求の範囲第1項ないし第6項何れか記載の半導体メモリのデコーダ回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOSトランジスタにより構成された半導体メモリのデコーダ回路に関し、特に、アドレス線がマルチプレックスされたデコーダ回路に関するものである。

(従来の技術)

CMOSFET(相補型金属酸化物半導体の電界効果トランジスタ)を用いて構成されるMOSDRAM等の半導体メモリにはデコーダ回路が必要であり、この種のデコーダ回路としては、例えば第5図に示すようなものが提案されている。これは、本出願の発明者らが先に発明したものであ

り、図はDRAMのロウデコーダ回路の構成を示している。この第5図では、アドレス信号 A_2 (\bar{A}_2) および A_3 (\bar{A}_3) ~ A_7 (\bar{A}_7) の6ビットの3アドレス信号を用いて64個 ($2^6 = 64$) のうち1個のメモリセルを選択するデコーダ回路を示す。FET $Q_1 \sim Q_6$ は上記アドレス信号がゲートに入力されるFETであり、同様に、FET Q_{10} および Q_{20} はアドレス信号 A_1 、 \bar{A}_1 がゲートに入力されるFETである。通常、アドレス信号 A_1 および \bar{A}_1 (\bar{A}_1 は A_1 の反転信号) のうちいずれかの信号線が前記FETのゲートに接続されるが、図ではアドレス信号 A_2 、 A_3 、 A_4 、 A_5 、 A_6 、 A_7 の信号線が各々FET Q_2 、 Q_3 、 Q_4 、 Q_5 、 Q_6 のゲートに接続され、アドレス信号 A_2 、 \bar{A}_2 の信号線が各々FET Q_{10} および Q_{20} に接続された場合を示す。 Q_7 は制御信号 ϕ_1 がゲートに入力されるPチャンネルFETである。FET Q_7 のドレインは共にノード N_{12} に接続されている。また、FET Q_{10} および Q_{20} のソースは共にノード N_{12} に接続されており、FET Q_{10} および Q_{20} のドレインは該デコーダ回路の出力ノード N_{10} および N_{20} に接続されている。インバータ I_1 はPチャンネルFET Q_{10} およびNチャンネルFET Q_{11} により構成され、その入力端子は上記デコーダ回路の出力ノード N_{10} に接続され、出力端子はノード N_{11} に接続されている。インバータ I_2 はPチャンネルFET Q_{20} およびNチャンネルFET Q_{21} により構成され、その入力端子はデコーダ回路の出力ノード N_{20} に接続され、出力端子はノード N_{21} に接続されている。そして、インバータ I_1 および I_2 の出力端子 N_{11} および N_{21} はワード線ドライバ回路WD $_1$ およびWD $_2$ に接続されている。また、各々のインバータ I_1 および I_2 は、その入力端子をプルアップするPチャンネルFET Q_{11} および Q_{21} を備えている。

第2図はワード線ドライバ回路WD $_1$ 、WD $_2$ の構成を示す図である。図に示すブリデコードされたワード線駆動信号 $x_0 \sim x_3$ は、第3図

のブリデコードによりアドレス信号 A_0 、 \bar{A}_0 、 A_1 、 \bar{A}_1 をブリデコードした信号とワード線駆動信号 ϕ_0 のAND信号である。そして、第5図のインバータ I_1 、 I_2 の出力側は、制御信号 ϕ_2 の信号線がゲートに接続されたFET $Q_{110} \sim Q_{119}$ を通してFET $Q_{140} \sim Q_{149}$ のゲートに接続されている。また、ブリデコードされたワード線駆動信号 $x_0 \sim x_3$ の信号線は、上記FET $Q_{140} \sim Q_{149}$ を介してワード線WL $_{10} \sim WL_{19}$ に接続されている。

次に、第5図のデコーダ回路および第2図のワード線ドライバ回路の動作について第6図の波形図を参照しながら説明する。時刻 t_0 以前は、外部RAS信号(Ext. RAS)が高レベルであり、DRAMは不活性状態となっている。このとき、各アドレス信号 A_0 、 \bar{A}_0 、 \dots 、 A_7 、 \bar{A}_7 は低レベルであり、制御信号 ϕ_0 も低レベルであるので、FET Q_7 を通してノード N_{12} は高レベルにプリチャージされている。ま

た、このとき、ノード N_{10} および N_{20} も高レベルにプリチャージされている（すなわち、プリチャージが正常に行われている）と仮定する。従って、インバータ I_1 の出力ノード N_{11} およびノード N_{12} は低レベルになっている。時刻 t_0 に信号 E_{xt} 、 \overline{RAS} が低レベルになると、DRAM が活性状態となる。次に、時刻 t_1 に制御信号 ϕ が高レベルになり、ノード N_{12} のプリチャージが中止される。時刻 t_2 にアドレス信号のうち、ここでは本デコーダが選択されるべく A_0 、 A_1 、 A_2 、 A_3 、 A_4 、 A_5 、 A_6 、 A_7 が高レベルになることにより、 $FETQ_2 \sim Q_6$ がオンしてノード N_{12} が放電して低レベルになる。このとき、アドレス信号 A_2 が高レベルであるので、ノード N_{10} も低レベルになる。したがってノード N_{11} は高レベルとなる。また、ノード N_{20} および N_{21} は各々高レベル、低レベルに保たれる。時刻 t_3 にワード線駆動信号 ϕ が高レベルになると、プリデコードされたワード線駆動信号 x_0 が高レベルになり、 $FETQ_{11,0}$ を通して

ワード線 WL_{10} が高レベルになる。

次に、時刻 t_4 に信号 E_{xt} 、 \overline{RAS} が高レベルになると、DRAM が不活性状態に入る。続いて時刻 t_5 にワード線駆動信号 ϕ およびワード線 WL_{10} が低レベルになり、時刻 t_6 にアドレス信号 A_0 、 A_1 、 A_2 、 A_3 、 A_4 、 A_5 、 A_6 、 A_7 が低レベルになる。同時に、制御信号 ϕ が低レベルになる。

DRAM が不活性状態になると、デコーダ回路をプリチャージするため制御信号 ϕ が低レベルになる。ここでは、まず制御信号 ϕ が実線で示すように、時刻 t_0 に例レベルになる場合を考える。この時刻 t_0 には $FETQ_2 \sim Q_6$ および Q_{10} 、 Q_{12} は既にオフしている。そして、制御信号 ϕ が低レベルになると $FETQ_7$ がオンしてノード N_{12} は高レベルにプリチャージされる。このとき、 $FETQ_{10}$ がオフしているため、ノード N_{10} は低レベルのまま保持されており、従って、ノード N_{11} は高レベルのまま保たれる。このため、次のサイクルに外部信号 E_{xt} 、 \overline{RAS} が低レベルになってもDRAM が活性状態になると、

プリデコードされたワード線駆動信号 $x_0 \sim x_7$ の信号線のうち1本が高レベルになるため、本デコーダが次のサイクルでは選択されない場合であってもワード線 $WL_{10} \sim WL_{17}$ のうちの1本が高レベルとなり、DRAM が誤動作する。

次に、制御信号 ϕ が第6図の破線で示すように時刻 t_7 に低レベルになる場合を考える。時刻 t_7 に制御信号 ϕ が低レベルになると、 $FETQ_7$ がオンしてノード N_{12} のプリチャージが始まる。しかし時刻 t_7 には、まだアドレス信号が高レベルのままであるため $FETQ_2 \sim Q_6$ がオンしており、 $FETQ_2 \sim Q_6$ のサイズを $FETQ_7$ に比べて小さくして $FETQ_7$ および $Q_2 \sim Q_6$ によって形成されるインバータのしきい値を高く設定していない場合には、ノード N_{12} の電位はほとんど上昇しない。そして、時刻 t_8 にアドレス信号 A_0 、 A_1 、 A_2 、 A_3 、 A_4 、 A_5 、 A_6 、 A_7 が低レベルになると、 $FETQ_7$ を通してノード N_{12} が高レベルにプリチャージされる。このとき、ノード N_{10} は高レベルに向かってプリチャージされ始め

るが、 $FETQ_{10}$ がオフするため、プリチャージが不十分となり、従ってノード N_{11} の電位も不確定の状態（高レベルかまたは低レベルか確定しない状態）になる。このため、上述の場合と同様に、DRAM が誤動作する。

また、説明は省略するが制御信号 ϕ が時刻 t_0 に低レベルになる場合も、上記時刻 t_7 に低レベルになる場合と同様に動作し、DRAM が誤動作する。

第7図は特開昭61-120393号公報に示された他の半導体メモリのデコーダ回路の構成を示すものである。このデコーダ回路の構成は第5図のデコーダ回路の構成とは概同様であるが、異なる点は、第5図の回路ではノード N_{12} をプリチャージする手段として $FETQ_7$ が設けられていたのに対し、第7図の回路ではノード N_{12} のプリチャージ手段が設けられていない。しかし、第7図の回路ではノード N_{10} および N_{20} をプリチャージする手段として $FETQ_{11,2}$ および $Q_{2,12}$ が設けられている。

次に第7図のデコーダ回路の動作を第8図の波形図を参照しながら説明する。時刻 $t_0 \sim t_1$ までの動作は第6図に示す動作と同様である。時刻 t_1 に信号 $E \times t_1$ 、 RAS が高レベルになるとDRAMが不活性状態になる。続いて時刻 t_2 にワード線駆動信号 ϕ 、およびワード線 WL_{10} が低レベルになる。次に、時刻 t_3 にアドレス信号 $A_0, A_1, A_2, A_3 \sim A_7$ が低レベルになり、 $FETQ_{10}$ および $Q_2 \sim Q_8$ がオフする。同時に、制御信号 ϕ が低レベルになる。

DRAMが不活性状態になると、デコーダ回路をプリチャージする制御信号 ϕ が低レベルになる。ここでは、まず制御信号 ϕ が実線で示すように、時刻 t_4 に低レベルになる場合を考える。時刻 t_4 には $FETQ_{10}$ および $Q_2 \sim Q_8$ は既にオフしているので、この時点で制御信号 ϕ が低レベルになると、ノード N_{10} が $FETQ_{11}$ を通して高レベルにプリチャージされる。したがって、ノード N_{11} は低レベルとなる。このとき、 $FETQ_{10}$ がオフしているため、ノード N_{12} は低レ

ベルのままとなる。また、ノード N_{12} および N_{10} は、それぞれ接地電位に対して浮遊容量 C_{12} および C_{10} を持っているが、ノード N_{10} は高レベルにプリチャージされているので容量 C_{10} が充電され、ノード N_{12} は低レベルのままであるので容量 C_{12} は充電されない。このため、次のサイクルで再び外部信号 $E \times t_1$ 、 RAS が低レベルになったとき、本デコーダが選択されない場合、すなわちアドレス信号 $A_2 \sim A_7$ の信号線のうち少なくとも1本が低レベルであり、かつ、アドレス信号 A_2 が高レベルになる場合には、浮遊容量 C_{10} に蓄えられた電荷が浮遊容量 C_{10} と C_{12} に分配される。ノード N_{12} は $FETQ_2$ および $FETQ_{10}$ および Q_{10} とを接続するノードであり、したがってレイアウト上の配線長が長くなるため浮遊容量 C_{12} は浮遊容量 C_{10} と同程度となる。このため、電荷分配時にノード N_{10} の電位が下がり、ノード N_{11} の電位が上がり、本デコーダが非選択であるにも拘らずワード線 $WL_{10} \sim WL_{12}$ のうちのいずれかの電位が上がってDRAMが誤動作する。

次に、制御信号 ϕ が時刻 t_5 に低レベルになる場合、 $FETQ_{11}$ を通してノード N_{10} および N_{12} のプリチャージが開始されるが、 $FETQ_{10}$ および $Q_2 \sim Q_8$ がオンしているため、前例と同様にノード N_{10} および N_{12} の電位はほとんど上昇しない。このため、時刻 t_6 に $FETQ_{10}$ および $Q_2 \sim Q_8$ がオフした後、ノード N_{10} は $FETQ_{11}$ を通して高レベルにプリチャージされるが、ノード N_{12} の電位は上昇しない。従って、上述の場合と同様にDRAMが誤動作する。

(発明が解決しようとする問題点)

従来の半導体メモリのデコーダ回路は上記のように構成されているので、回路内のプリチャージされるべきノードが十分にプリチャージされない場合があり、このため、デコーダが非選択であるにも拘らずワード線の電位が上がってDRAMが誤動作するという問題点があった。

本発明は、このような問題点を解消するためになされたもので、回路内のプリチャージされるべきノードが確実にプリチャージされ、動作の確実

な半導体メモリのデコーダ回路を得ることを目的としている。

(問題点を解決するための手段)

本発明の半導体メモリのデコーダ回路は、第1のノードに縦続接続され各々のゲートにアドレス信号またはアドレス信号をプリデコードした信号が入力される第1のFET群と、ソースまたはドレインの何れか一方を共通に前記第1のノードに並列的に接続され各々のゲートに前記アドレス信号またはプリデコードした信号とは異なるアドレス信号またはプリデコードした信号が入力される第2のFET群とを備え、前記第1のノードをプリチャージする第1のプリチャージ手段および前記第2のFET群の各FETの他方が接続されたそれぞれのノードをプリチャージする第2のプリチャージ手段を設けたものである。

(作用)

本発明の半導体メモリのデコーダ回路においては、縦続接続された第1のFET群のドレイン側の第1のノードをプリチャージする手段と、一方

が第1のノードに並列的に接続された第2のFET群の各FETの他方のノードをプリチャージする手段を備えているので、前記各ノードのプリチャージ電位の不足が防止され、回路の正常な動作が保証される。

(実施例)

以下、本発明の一実施例を図面について説明する。第1図は本発明に係る半導体メモリのデコーダ回路の構成を示す図である。ここでは、アドレス信号 A_0 (\bar{A}_0) および A_1 (\bar{A}_1) ~ A_7 (\bar{A}_7) の6ビットのアドレス信号を用いて64 ($2^6 = 64$) 個のうち1個を選択するデコーダ回路を示す。図中、 $Q_0 \sim Q_6$ は、上記アドレス信号またはアドレス信号をブリデコードした信号がゲートに入力されるFETで、第1のノード N_{10} と接地端子の間に縦続接続され、第1のFET群 F_1 を構成している。同様に、FET Q_{10} および Q_{20} は、上記アドレス信号またはブリデコードした信号とは異なる別のアドレス信号 A_2 ま

たは \bar{A}_2 がゲートに入力されるFET、で一方のソースを共通に上記第1のノード N_{10} に並列的に接続され、第2のFET群 F_2 を構成している。通常、アドレス信号 A_0 、および \bar{A}_0 (\bar{A}_0 は A_0 の反転信号)の信号線のうちのいずれかが上記各FETのゲートに接続されるが、図ではアドレス信号 A_0 、 A_1 、 A_2 、 A_3 、 A_4 、 A_5 の信号線が各々FET Q_0 、 Q_1 、 Q_2 、 Q_3 、 Q_4 、 Q_5 のゲートに接続され、信号 A_6 および A_7 の信号線が各々FET Q_{10} および Q_{20} に接続された場合を示す。 Q_7 は制御信号 ϕ_1 の信号線がゲートに接続された上記各FETと異なる導電型のPチャンネル型FETで、第1のノード N_{10} をプリチャージする第1のプリチャージ手段として設けられている。FET Q_0 および Q_7 のドレインは共通にノード N_{10} に接続されており、FET Q_{10} および Q_{20} のソースは共にノード N_{10} に接続されている。FET Q_{10} および Q_{20} の他方のドレインは、出力ノード N_{10} および N_{20} に接続されており、これらのノード N_{10} 、 N_{20} をプリチャージする第2のプリチャージ手段として上記第1のプリチャージ手段

であるFET Q_7 と同じ導電型のFET Q_{11} および Q_{21} が設けられている。また、Pチャンネル型FET Q_{10} およびNチャンネル型FET Q_{11} によりインバータ I_1 が構成され、その入力端子は上記出力ノード N_{10} に接続され、出力端子はノード N_{11} に接続されている。同様に、Pチャンネル型FET Q_{20} およびNチャンネル Q_{21} によりインバータ I_2 が構成され、その入力端子は出力ノード N_{20} に接続され、出力端子はノード N_{21} に接続されている。これらのインバータ I_1 および I_2 の出力端子 N_{11} 、 N_{21} はそれぞれワード線ドライバ回路 WD_1 および WD_2 に接続されている。また、ノード N_{11} およびノード N_{21} は、各々インバータ I_1 および I_2 の入力端子をプルアップするFET Q_{11} および Q_{21} のゲートに接続されている。そして、上述のようにノード N_{10} および N_{20} は、制御信号 ϕ_1 の信号線がゲートに接続されたプリチャージ用のPチャンネル型FET Q_{11} および Q_{21} を備えている。

上記ワード線ドライバ回路 WD_1 、 WD_2 は、従来と同様第2図に示すような構成となっている。即ち、図中のブリデコードされたワード線駆動信号 $x_0 \sim x_7$ は、第3図に示したブリデコードにより、アドレス信号 A_0 、 A_1 、 A_2 、 A_3 をブリデコードした信号とワード線駆動信号 ϕ_2 のAND信号であり、第1図のインバータ I_1 、 I_2 の出力側は、制御信号 ϕ_2 の信号線がゲートに接続されたFET $Q_{110} \sim Q_{113}$ を通してFET $Q_{114} \sim Q_{117}$ のゲートに接続されている。また、ブリデコードされたワード線駆動信号 $x_4 \sim x_7$ は上記FET $Q_{110} \sim Q_{113}$ を介してワード $WL_{10} \sim WL_{13}$ に接続されている。

次に、上記構成のデコーダ回路の動作について第4図の波形図を参照しながら説明する。時刻 t_0 以前は外部信号 \overline{RAS} ($Ext. \overline{RAS}$)が高レベルであり、不活性状態となっている。このとき、各アドレス信号 A_0 、 \bar{A}_0 、 \dots 、 A_7 、 \bar{A}_7 は低レベルであり、制御信号 ϕ_1 も低レベルであるので、FET Q_7 を通してノード

N_{12} は高レベルにプリチャージされている。また、 $FETQ_{112}$ および Q_{212} を通して、ノード N_{10} およびノード N_{20} も高レベルにプリチャージされている。従って、インバータ I_{11} 、 I_{12} の出力ノード N_{11} および N_{21} は低レベルになっている。時刻 t_0 に外部信号 Ex_t 、 \overline{RAS} が低レベルになると、DRAMが活性状態になる。次に、時刻 t_1 に制御信号 ϕ_1 が高レベルになると、ノード N_{12} およびノード N_{10} 、 N_{20} のプリチャージが中止される。時刻 t_2 にアドレス信号のうち、ここでは本デコーダが選択されるべく信号 A_0 、 A_1 、 A_2 および $A_3 \sim A_7$ が高レベルになることにより、 $FETQ_{212} \sim Q_{210}$ がオンしてノード N_{12} が低レベルに放電される。このとき、アドレス信号 A_3 が高レベルであるのでノード N_{10} も低レベルに放電される。したがって、ノード N_{11} は高レベルとなる。また、ノード N_{20} および N_{21} は各々高レベル、低レベルに保たれる。時刻 t_3 にワード線駆動信号 ϕ_2 が高レベルになると、プリデコードされたワード線駆動信号 x が

高レベルになり、 $FETQ_{1140}$ を通してワード WL_{10} が高レベルになる。次に、時刻 t_4 に信号 Ex_t 、 \overline{RAS} が高レベルになると、DRAMが不活性状態に入る。続いて時刻 t_5 にワード線駆動信号 ϕ_2 およびワード線 WL_{10} が低レベルになる。そして、時刻 t_6 にアドレス信号 A_0 、 A_1 、 A_2 、 $A_3 \sim A_7$ が低レベルになる。同時に、制御信号 ϕ_2 が低レベルになる。

DRAMが不活性状態になると、デコーダ回路をプリチャージするため制御信号 ϕ_1 が低レベルになる。ここでは、まず制御信号 ϕ_1 が実線で示すように、時刻 t_0 に低レベルになる場合を考える。時刻 t_0 には $FETQ_{212} \sim Q_{210}$ および Q_{110} 、 Q_{210} は既にオフしている。そして、制御信号 ϕ_1 が低レベルになると、 $FETQ_{21}$ がオンし、ノード N_{12} は高レベルにプリチャージされる。このとき、 $FETQ_{110}$ はオフしているが、ノード N_{10} は $FETQ_{112}$ を通して高レベルにプリチャージされ、ノード N_{11} はインバータ I_{11} を通して低レベルに放電されるので、次サイクルになってDRA

Mが活性状態になり、本デコーダが非選択の場合であってもDRAMは正常に動作する。

また、第4図の破線で示すように制御信号 ϕ_1 が時刻 t_7 に低レベルになる場合にも、時刻 t_8 に $FETQ_{110}$ および $Q_{212} \sim Q_{210}$ がオフした後、ノード N_{10} および N_{12} が $FETQ_{112}$ および Q_{21} を通して共に高レベルにプリチャージされるので、DRAMは正常に作動する。

なお、上記実施例では縦続接続した第1のFET群 F_1 がNチャンネル型FET、並列的に接続された第2のFET群 F_2 がPチャンネル型FET、プリチャージ用FETがPチャンネル型FETでそれぞれ構成された場合について説明したが、印加される電位(V_{cc})を適宜選択することにより、各々他の導電型のFETにより構成してもよい。

また、上記実施例ではデコーダ回路がロウデコーダとして用いられる場合について説明したが、コラムデコーダとして用いた場合にも同様の効果を奏する。更に、デコーダ回路のDRAMに用い

られる場合だけでなく、他の半導体メモリに用いられる場合であっても同様の効果を奏する。

(発明の効果)

以上説明したように、本発明によれば、デコーダ回路内の縦続接続された第1のFET群のドレイン側のノードと、このノードに並列的に接続された第2のFET群と、そのノードと反対側のノードとの両方にプリチャージ手段を設けたので、ノードのプリチャージが確実に行われ、デコーダ回路が確実に動作するという効果が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例による半導体メモリのデコーダ回路を示す構成図、第2図はワード線ドライバ回路の構成を示す図、第3図はプリデコードされたワード線駆動信号の発生回路を示す回路、第4図は一実施例の動作を示す波形図、第5図は従来の半導体メモリのデコーダ回路を示す構成図、第6図はその動作を示す波形図、第7図は他の従来例を示す構成図、第8図はその動作を

示す波形図である。

F, --- 第 1 の FET

F₂ ……第2のFET

Q, ... FET (第1のブリチャージ手段)

Q₁₁₂、Q₂₁₂ --- FET (第2のブリチャージ
手段)

$N_1, 2, \dots$ 第 i のノード

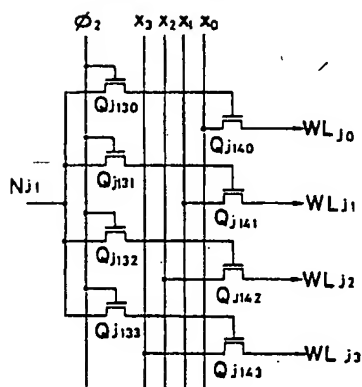
$N_{10}, N_{20} \dots \rightarrow \infty$

1, 1, 1, ... インバータ

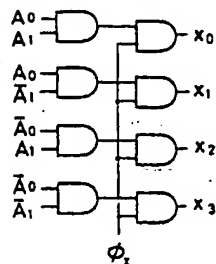
なお、図中問一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

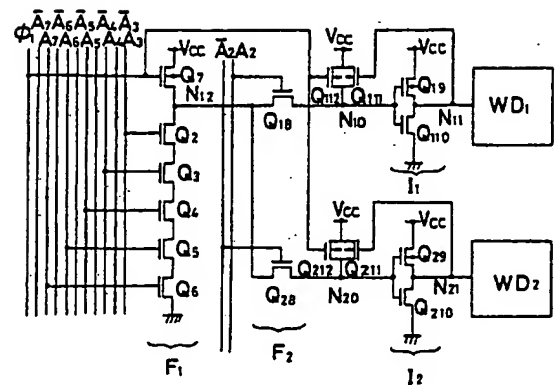
第 2 图


$$(j = 1, 2, \dots)$$

第 3 图



第 1 圖



F_1 : 才1のFET型

F₂ : オ2のFET群

Q7: FET(オ1)のブリチャージ手順)

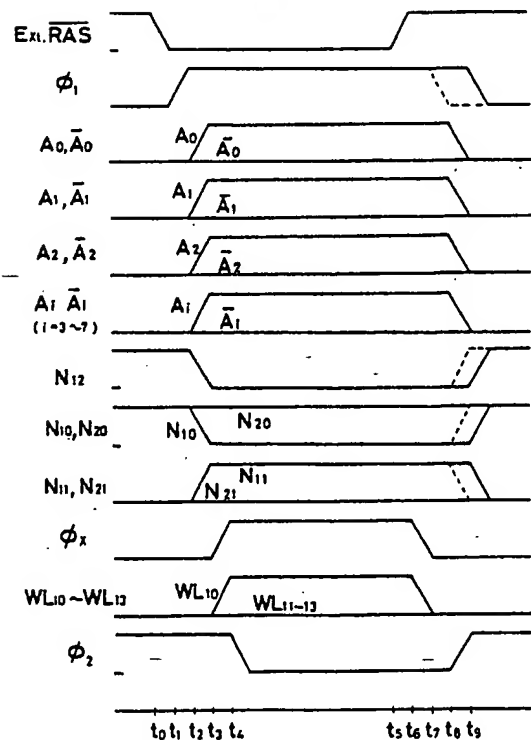
Q₁₁₂, Q₂₁₂: FET (オ2のプリチャージ4段)

N12 : 表1 のロード

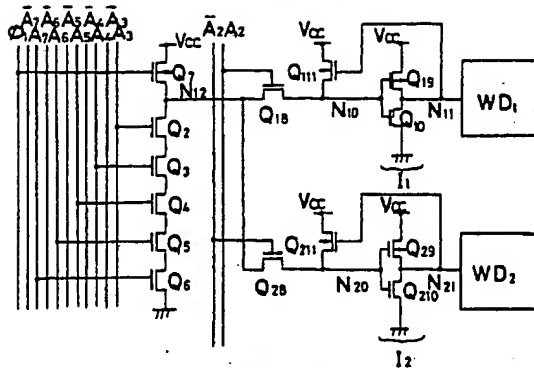
N10, N20 : J-K

l_1, l_2 : インバータ

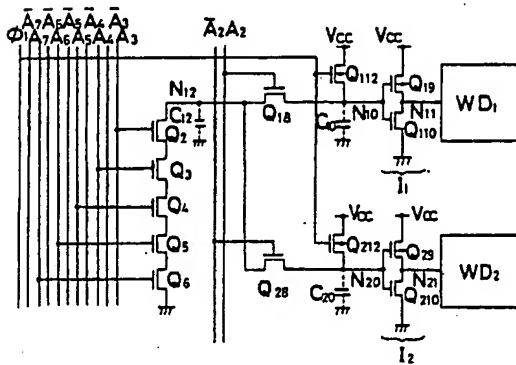
第 4 区



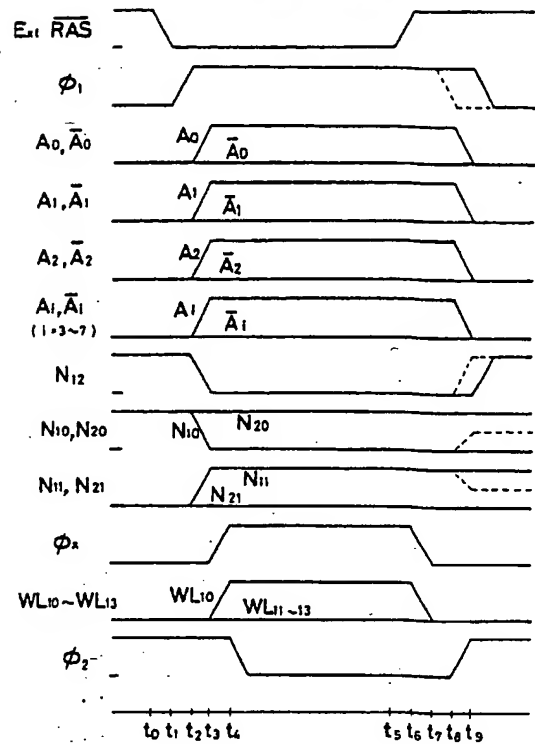
第5図



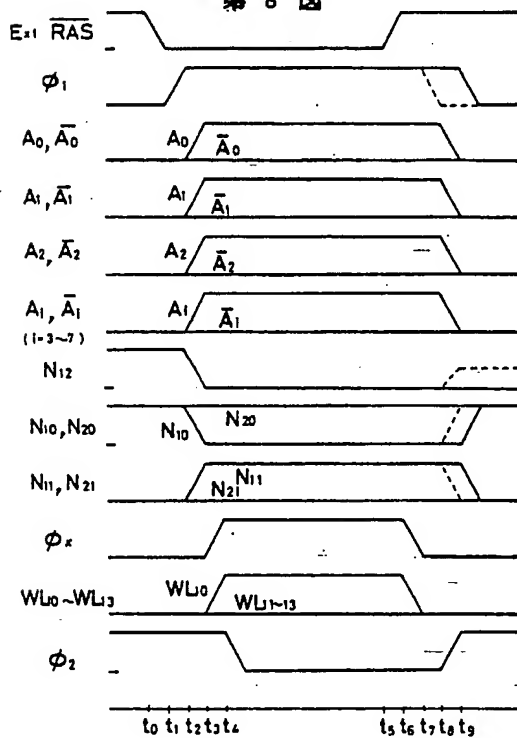
第7図



第6図



第8図



手続補正書(自発)

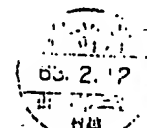
昭和62年9月17日

特許庁長官殿

1. 事件の表示 特願昭 62-12782 号
2. 発明の名称 半導体メモリのデコーダ回路
3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐守哉

4. 代理人
住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375) 弁理士 大岩増雄
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の特許請求の範囲および発明の詳細な説明の各欄

6. 補正の内容

- (1) 特許請求の範囲を別紙のとおり訂正する。
- (2) 明細書の第3頁第11行～第12行の「関し、特に、アドレス線がマルチブレックスされたデコーダ回路に」を削除する。
- (3) 同第4頁第4行の「3アドレス信号」を「アドレス信号」と訂正する。
- (4) 同第8頁第11行の「例レベル」を「低レベル」と訂正する。
- (5) 同第12頁第7行の「外部信号Ext. RAS」を「外部信号Ext. $\overline{\text{RAS}}$ 」と訂正する。

7. 添付書類の目録

- (1) 補正後の特許請求の範囲を記載した書面

1通

以上

1のブリチャージ手段を構成するFETと同じ導電型のFETにより構成したことを特徴とする特許請求の範囲第2項記載の半導体メモリのデコーダ回路。

(4) 前記第1のブリチャージ手段を構成する各FETと、前記第2のブリチャージ手段を構成する各FETのゲートには、同一の信号が入力されることを特徴とする特許請求の範囲第2項または第3項記載の半導体メモリのデコーダ回路。

(5) 前記第1のFET群は他方側が接地されていることを特徴とする特許請求の範囲第1項ないし第4項何れか記載の半導体メモリのデコーダ回路。

(6) 前記アドレス信号およびアドレス信号をブリデコードした信号は、半導体メモリの非動作期間においては前記第2のFET群を構成する各FETをオフさせる電位にあることを特徴とする特許請求の範囲第1項ないし第5項何れか記載の半導体メモリのデコーダ回路。

(7) 前記第2のFET群を構成する各FETの

特許請求の範囲

(1) 第1のノードに縦続接続され各々のゲートにアドレス信号またはアドレス信号をブリデコードした信号が入力される第1のFET群と、ソースまたはドレインの何れか一方が共通に前記第1のノードに並列的に接続され各々のゲートに前記アドレス信号またはブリデコードした信号とは異なるアドレス信号またはブリデコードした信号が入力される第2のFET群とを備え、前記第1のノードをブリチャージする第1のブリチャージ手段および前記第2のFET群の各FETの他方が接続されたそれぞれのノードをブリチャージする第2のブリチャージ手段を設けたことを特徴とする半導体メモリのデコーダ回路。

(2) 前記第1のブリチャージ手段は、前記第1のFET群を構成する各FETと異なる導電型のFETにより構成したことを特徴とする特許請求の範囲第1項記載の半導体メモリのデコーダ回路。

(3) 前記第2のブリチャージ手段は、前記第1のソースまたはドレインの他方は、インバータの入力端子に接続されていることを特徴とする特許請求の範囲第1項ないし第6項何れか記載の半導体メモリのデコーダ回路。